

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-249780

(43)公開日 平成7年(1995)9月26日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/80				
21/338				
29/812				
	9171-4M	H 0 1 L 29/ 80	A	
	9171-4M		B	
	審査請求	未請求	請求項の数 3	OL (全 15 頁) 最終頁に続く

(21)出願番号 特願平6-37021

(22)出願日 平成6年(1994)3月8日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 澤田 稔

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 松下 重治

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 寺田 聡

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74)代理人 弁理士 岡田 敬

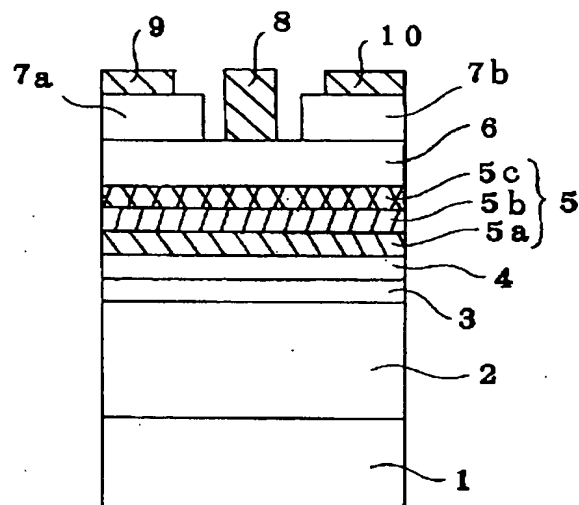
最終頁に続く

(54)【発明の名称】 電界効果型半導体素子

(57)【要約】

【目的】 高出力時において低歪のTMT素子を提供することを目的とする。

【構成】 第2の半導体層3は電子親和力が第1の半導体層2より大きく、第3の半導体層4は禁止帯幅が第2の半導体層3から第4の半導体層5方向にグレーディッドに減少し且つ第2の半導体層3との界面での電子親和力が第2の半導体層3の電子親和力以下、第4の半導体層5との界面での電子親和力が第4の半導体層5の電子親和力以上であり、第5の半導体層6は第4の半導体層5との界面での電子親和力が第4の半導体層5の電子親和力以下であって、第4の半導体層5中には、第4の半導体層5より電子親和力が大きく且つ第4の半導体層5より禁止帯幅が小さい半導体層5bを少なくとも1つ有する。



## 【特許請求の範囲】

【請求項1】 低雑音用走行層と高出力用走行層とを備えた電界効果型半導体素子において、前記高出力用走行層中に該層より電子親和力が大きく且つ該層より禁止帯幅が小さい該層と同じ導電型又はアンドープの半導体層を少なくとも1つ有することを特徴とする電界効果型半導体素子。

【請求項2】 アンドープの第1の半導体層と、前記第1の半導体層上に形成されたアンドープの第2の半導体層と、前記第2の半導体層上に形成されたアンドープの第3の半導体層と、前記第3の半導体層上に形成された一導電型の第4の半導体層と、前記第4の半導体層上に形成された前記一導電型と同じ導電型もしくはアンドープの第5の半導体層と、を備え、

前記第2の半導体層はその電子親和力が前記第1の半導体層より大きく、前記第3の半導体層はその禁止帯幅が前記第2の半導体層から前記第4の半導体層方向にグレーディッドに増大し且つ前記第2の半導体層との界面での電子親和力が該第2の半導体層の電子親和力以下、前記第4の半導体層との界面での電子親和力が該第4の半導体層の電子親和力以上であり、前記第5の半導体層は前記第4の半導体層との界面での電子親和力が該第4の半導体層の電子親和力以下であって、

前記第4の半導体層中には、該第4の半導体層より電子親和力が大きく且つ該第4の半導体層より禁止帯幅が小さい前記一導電型と同導電型又はアンドープの半導体層を少なくとも1つ有することを特徴とする電界効果型半導体素子。

【請求項3】 アンドープの第1の半導体層と、前記第1の半導体層上に形成されたアンドープの第2の半導体層と、前記第2の半導体層上に形成された一導電型の第3の半導体層と、前記第3の半導体層上に形成された前記一導電型と同じ導電型もしくはアンドープの第4の半導体層と、を備え、

前記第2の半導体層はその禁止帯幅が前記第1の半導体層から前記第3の半導体層方向にグレーディッドに増大し且つ前記第1の半導体層との界面での電子親和力が該第1の半導体層の電子親和力より大きく、前記第3の半導体層との界面での電子親和力が該第3の半導体層の電子親和力以上であり、前記第4の半導体層は第3の半導体層との界面での電子親和力が該第3の半導体層の電子親和力以下であって、

前記第3の半導体層中には、該第3の半導体層より電子親和力が大きく且つ該第3の半導体層より禁止帯幅が小さい前記一導電型と同導電型又はアンドープの半導体層を少なくとも1つ有することを特徴とする電界効果型半導体素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、電界効果型半導体素子

に関し、特に低雑音動作特性と高出力動作特性を合わせ持った電界効果型半導体素子に関する。

## 【0002】

【従来の技術】 近年、衛星放送やマイクロ波通信などのマイクロ波システムの需要が高まる中、このシステムに用いられる電界効果型半導体素子が低雑音動作特性と高出力動作特性とを兼ね備えたものであることが必要である。

【0003】 従来の素子としては、電界効果型トランジスタ (FET) の一種である高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) が知られているが、しかし、この素子では良好な低雑音特性は得られるが、良好な高出力特性は得られなかった。

【0004】 また、他の従来の素子としては、高濃度にドーピングしたチャンネルを有するFETが知られているが、斯る素子では高出力特性は優れるが、良好な低雑音特性が得られなかった。

【0005】 しかし、最近、例えば信学技報 TECHNICAL REPORT OF IEICE, ED93-175, NW93-132, ICD93-190(1994-01)の第47頁～第54頁に記載されているように、低雑音動作特性と高出力動作特性とを兼ね備える電界効果型半導体素子 (以下、TMT [Two-Mode channel FET] 素子と言う。) が開発された。

【0006】 図5は、従来のTMT素子の主要概略断面図である。

【0007】 図5中、101はGaAs基板、102はGaAs基板101上に形成されたアンドープのGaAsバッファ層、103はバッファ層102上に形成されたアンドープのInGaAs層 (低雑音用走行層)、104はIn組成比が基板101側から上方側に向かってグレーディッド (In組成比0.2～0) に減少するアンドープのInGaAs層 (低雑音用走行層)、105はInGaAs層104上に形成されたn型GaAs層 (高出力用走行層)、106はn型GaAs105上に形成されたAl組成比0.22のn型AlGaAs層 (障壁層)、107a、107bはn型AlGaAs層106上に離間して形成されたn型GaAsキャップ層、108はn型GaAsキャップ層107a、107b間から露出したn型AlGaAs層106とショットキ接触するゲート電極、109はn型GaAsキャップ層107aとオーミック接触するソース電極、110はn型GaAsキャップ層107bとオーミック接触するドレイン電極である。

【0008】 TMT素子とは、ゲート印加電圧 (ゲート-ソース間電圧)  $V_g$  を深く選択する場合に、低雑音用走行層が主に電子走行モードのチャンネルとなり低雑音特性が得られ、またゲート印加電圧  $V_g$  を浅く選択する場合には、高出力用走行層が主に電子走行モードのチャンネルとなり高出力特性が得られる。更に、斯る素子はゲート印加電圧  $V_g$  を上記電圧間に選択して、低雑音用

3

走行層及び高出力用走行層を主に電子走行モードのチャンネルとすることも可能である。尚、n型高出力用走行層(n型チャンネル)を有する素子の場合、ゲート印加電圧 $V_{gs}$ が浅いとは、空乏領域が縮む方向で、ゲート印加電圧 $V_{gs}$ が深いとは、空乏領域が伸びる方向である。

【0009】

【発明が解決しようとする課題】しかしながら、上記TMT素子では、高周波特性をより改善するためにゲート長を短くしてゲート容量を小さくする必要があるが、ゲート長を0.15 $\mu$ m程度以下にした場合、ゲート印加電圧 $V_{gs}$ が浅い範囲(高出力を得る範囲)において、走行する電子は狭いゲートの部分のみゲート印加電圧 $V_{gs}$ によって制動が掛かるため、相互コンダクタンス( $g_m$ ) $-V_{gs}$ 特性が平坦でなくなるといった問題があった。

【0010】このように $g_m-V_{gs}$ 特性が平坦でない場合には、TMT素子の高出力動作時に出力信号に歪み(入力信号に対して出力信号の非線形化)が生じるので、例えばデジタル携帯電話などに使用した場合、信号伝送時にノイズが多くなるといった問題が生じる。

【0011】本発明は上述の問題点を鑑み成されたものであり、高出力動作時の出力信号の歪を低減したTMT素子を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の電界効果型半導体素子は、低雑音用走行層と高出力用走行層とを備えた電界効果型半導体素子において、前記高出力用走行層中に該層より電子親和力が大きく且つ該層より禁止帯幅が小さい該層と同じ導電型又はアンドープの半導体層を少なくとも1つ有することを特徴とする。

【0013】また、本発明の電界効果型半導体素子は、アンドープの第1の半導体層と、前記第1の半導体層上に形成されたアンドープの第2の半導体層と、前記第2の半導体層上に形成されたアンドープの第3の半導体層と、前記第3の半導体層上に形成された一導電型の第4の半導体層と、前記第4の半導体層上に形成された前記一導電型と同じ導電型もしくはアンドープの第5の半導体層と、を備え、前記第2の半導体層はその電子親和力が前記第1の半導体層より大きく、前記第3の半導体層はその禁止帯幅が前記第2の半導体層から前記第4の半導体層方向にグレーディッドに増大し且つ前記第2の半導体層との界面での電子親和力が該第2の半導体層の電子親和力以下、前記第4の半導体層との界面での電子親和力が該第4の半導体層の電子親和力以上であり、前記第5の半導体層は前記第4の半導体層との界面での電子親和力が該第4の半導体層の電子親和力以下であって、前記第4の半導体層中には、該第4の半導体層より電子親和力が大きく且つ該第4の半導体層より禁止帯幅が小さい前記一導電型と同導電型又はアンドープの半導体層を少なくとも1つ有することを特徴とする。

4

【0014】また、本発明の電界効果型半導体素子は、アンドープの第1の半導体層と、前記第1の半導体層上に形成されたアンドープの第2の半導体層と、前記第2の半導体層上に形成された一導電型の第3の半導体層と、前記第3の半導体層上に形成された前記一導電型と同じ導電型もしくはアンドープの第4の半導体層と、を備え、前記第2の半導体層はその禁止帯幅が前記第1の半導体層から前記第3の半導体層方向にグレーディッドに増大し且つ前記第1の半導体層との界面での電子親和力が該第1の半導体層の電子親和力より大きく、前記第3の半導体層との界面での電子親和力が該第3の半導体層の電子親和力以上であり、前記第4の半導体層は第3の半導体層との界面での電子親和力が該第3の半導体層の電子親和力以下であって、前記第3の半導体層中には、該第3の半導体層より電子親和力が大きく且つ該第3の半導体層より禁止帯幅が小さい前記一導電型と同導電型又はアンドープの半導体層を少なくとも1つ有することを特徴とする。

【0015】

【作用】本発明の構成によれば、高出力用走行層より電子親和力が大きく且つ該層より禁止帯幅が小さい該層と同じ導電型又はアンドープの半導体層は、高出力用走行層に比べて電子親和力が大きいので、電子は高出力用走行層に比べてこの半導体層に集まると共に、この半導体層は高出力用走行層に比べて禁止帯幅が小さいので、電子が高速に走行できる。従って、高出力時に、電子は高出力用走行層に比べて高速走行できる半導体層を多く走行する。この結果、高出力時に電子は高速に走行するので、ゲート長が短い場合でも平坦な $g_m-V_{gs}$ 特性が得られる。

【0016】本発明の構成によれば、第4の半導体層は、その電子親和力が第2の半導体層に比べて小さく、且つ第3の半導体層の電子親和力以下であるので、低雑音特性をもって動作する際、即ちゲート電圧 $V_{gs}$ が深い場合、第2、第3の半導体層は、キャリア供給層を兼ねる一導電型の第4の半導体層からキャリアの供給を受けることができ、第2、第3の半導体層は主に走行層(低雑音用走行層)となると共に、第2、第3の半導体層中を走行する前記キャリアは第2の半導体層内及び該層に近接した部分の第3の半導体層内に局在されるので、第4の半導体層の不純物に散乱されて速度が低下するのを抑制できる。

【0017】加えて、第4の半導体層と第4の半導体層中に有する前記一導電型と同導電型又はアンドープの半導体層は、高出力特性をもって動作する際、即ちゲート電圧 $V_{gs}$ が浅い場合、主に走行層(高出力用走行層)となる。特に、第4の半導体層中に有する半導体層は、第4の半導体層より電子親和力が大きく且つ第4の半導体層より禁止帯幅が小さいので、電子は第4の半導体層に比べて高速に走行可能な該層中の半導体層を多く走行す

る。従って、高出力時に電子は高速に走行するので、ゲート長が短い場合でも平坦な  $gm-V_g$  特性が得られる。

【0018】また、別の本発明の構成によれば、第3の半導体層はその電子親和力が第2の半導体層の電子親和力以下であるので、低雑音特性をもって動作する際、即ちゲート電圧  $V_g$  が深い場合、第2の半導体層は、キャリア供給層を兼ねる一導電型の第3の半導体層からキャリアの供給を受けることができ、第2の半導体層は主に走行層（低雑音用走行層）となると共に、第2の半導体層中を走行する前記キャリアは第2の半導体層中に局在されるので、第3の半導体層の不純物に散乱されて速度が低下するのを抑制できる。

【0019】加えて、第3の半導体層と第3の半導体層中に有する前記一導電型と同導電型又はアンドープの半導体層は、高出力特性をもって動作する際に、即ちゲート印加電圧  $V_g$  が浅い場合、主に走行層（高出力用走行層）となる。特に、第3の半導体層中に有する半導体層は第3の半導体層より電子親和力が大きく且つ第3の半導体層より禁止帯幅が小さいので、電子は第3の半導体層に比べて高速に走行可能な該層中の半導体層を多く走行する。従って、高出力時に電子は高速に走行するので、ゲート長が短い場合でも平坦な  $gm-V_g$  特性が得られる。

#### 【0020】

【実施例】本発明の第1実施例に係るTMT素子を図面を用いて説明する。図1は本実施例のTMT素子の要部概略断面図である。

【0021】図1中、1はGaAs半絶縁性半導体基板、2は該基板1上に形成されたアンドープのGaAsバッファ層（第1の半導体層）、3は該バッファ層2上に形成された該層2より電子親和力の大きいアンドープの  $In_{x-1}Ga_{1-x}As$  ( $x>0$ ) 第1低雑音用走行層（第2の半導体層）、4は禁止帯幅が基板1側から上方側に向かってグレーディッドに増大し且つ第1低雑音用走行層3との界面での電子親和力が該層3の電子親和力以下で下記第1高出力用走行層5aとの界面での電子親和力

が該層5aの電子親和力以上である、第1低雑音用走行層3上に形成されたIn組成比が基板1側から上方側に向かってグレーディッドに減少するアンドープの  $In_yGa_{1-y}As$  ( $y$ は  $x \geq y \geq 0$  の範囲で変化) 第2低雑音用走行層（第3の半導体層：グレーディッド層）、5は第2低雑音用走行層4上に形成された高キャリア濃度のn型高出力用走行層であって、n型GaAs第1高出力用走行層（第4の半導体層）5a、該層5aより電子親和力が大きく且つ禁止帯幅が小さいn型  $In_tGa_{1-t}As$  ( $t>0$ ) 第2高出力用走行層5b、及び該層5bより電子親和力が小さいn型GaAs第3高出力用走行層（第4の半導体層）5cで構成されている。

【0022】6は高出力用走行層5上に形成された該層5との界面での電子親和力が該層5の電子親和力以下であるn型  $Al_zGa_{1-z}As$  ( $z>0$ ) 障壁層（第5の半導体層）、7a、7bは障壁層6上に互いに離間して形成されたn型GaAsキャップ層、8はキャップ層7a、7b間の障壁層6とショットキ接触してなるAl/Ti構造からなるショットキ電極、9はキャップ層7a上にオーミック接触してなるAu/Ni/Au-Ge構造からなるソース電極、10はキャップ層7b上にオーミック接触してなるAu/Ni/Au-Ge構造からなるドレイン電極である。

【0023】表1に示す本実施例（図1）のTMT素子（試料A）と、表2に示す試料Aとは第1低雑音用走行層3がない以外は同構造の本実施例の他のTMT素子（試料B）と、表3に示す第2高出力用走行層5bを備えてない以外は試料Aの構造と同じ比較例としてのTMT素子（試料X）について、 $gm-V_g$  特性、及びゲート印加電圧が深い場合（ドレイン-ソース間電圧  $V_{ds} = 2V$ 、ドレイン-ソース間電流  $I_{ds} = 10mA$ ）における周波数12GHzでの最小雑音指数 ( $NF_{min}$ ) を調べた。尚、試料A、B、Xのゲート長、ゲート幅は、それぞれ0.12  $\mu m$ 、200  $\mu m$ であり、低雑音用及び高出力用走行層の厚みは異なる。

#### 【0024】

【表1】

名 称	材 料	層厚・キャリア濃度
半絶縁性半導体基板1	GaAs	—————
バッファ層2	u-GaAs	層厚: 8000 Å
第1低雑音用走行層3	$u - \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$	層厚: 50 Å
第2低雑音用走行層4	$u - \text{In}_y\text{Ga}_{1-y}\text{As}$ $y=0.2$ [斜間] $\rightarrow y=0$ [上方]	層厚: 50 Å
第1高出力用走行層5a	n-GaAs	層厚: 150 Å
第2高出力用走行層5b	$n - \text{In}_{0.1}\text{Ga}_{0.9}\text{As}$	層厚: 100 Å
第3高出力用走行層5c	n-GaAs	層厚: 150 Å
障壁層6	$n - \text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$	$n = 2 \times 10^{18} \text{ cm}^{-3}$ 層厚: 400 Å
キャップ層7a, 7b	n-GaAs	$n = 3 \times 10^{18} \text{ cm}^{-3}$ 層厚: 500 Å

尚、第1～第3高出力用走行層5a～5cのキャリア濃度:

$$n = 1.5 \times 10^{18} \text{ cm}^{-3}$$

【0025】

\* \* 【表2】

名 称	材 料	層厚・キャリア濃度
半絶縁性半導体基板1	GaAs	—————
バッファ層2	u-GaAs	層厚: 8000 Å
第1低雑音用走行層3	—————	—————
第2低雑音用走行層4	$u - \text{In}_y\text{Ga}_{1-y}\text{As}$ $y=0.2$ [斜間] $\rightarrow y=0$ [上方]	層厚: 100 Å
第1高出力用走行層5a	n-GaAs	層厚: 150 Å
第2高出力用走行層5b	$n - \text{In}_{0.1}\text{Ga}_{0.9}\text{As}$	層厚: 100 Å
第3高出力用走行層5c	n-GaAs	層厚: 150 Å
障壁層6	$n - \text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$	$n = 2 \times 10^{18} \text{ cm}^{-3}$ 層厚: 400 Å
キャップ層7a, 7b	n-GaAs	$n = 3 \times 10^{18} \text{ cm}^{-3}$ 層厚: 500 Å

尚、第1～第3高出力用走行層5a～5cのキャリア濃度:

$$n = 1.5 \times 10^{18} \text{ cm}^{-3}$$

【0026】

【表3】

名 称	材 料	層厚・キャリア濃度
半絶縁性半導体基板 1	GaAs	———
バッファ層 2	u-GaAs	層厚：8000 Å
第1低雑音用走行層 3	u-In <sub>0.2</sub> Ga <sub>0.8</sub> As	層厚：50 Å
第2低雑音用走行層 4	u-In <sub>y</sub> Ga <sub>1-y</sub> As y=0.2 [基層] → y=0 [上層]	層厚：50 Å
高出力用走行層 5	n-GaAs	層厚：400 Å
障壁層 6	n-Al <sub>0.22</sub> Ga <sub>0.78</sub> As	n = 2 × 10 <sup>18</sup> cm <sup>-3</sup> 層厚：400 Å
キャップ層 7 a、7 b	n-GaAs	n = 3 × 10 <sup>18</sup> cm <sup>-3</sup> 層厚：500 Å

尚、高出力導体層 5 のキャリア濃度：n = 1.5 × 10<sup>18</sup> cm<sup>-3</sup>

【0027】図2に試料A、B、Xのgm-V<sub>gs</sub>特性を示す。尚、図中、実線は試料A、試料Bは一点鎖線、試料Xは点線で示す。

【0028】この図2から、高出力用走行層5中に電子親和力が大きく且つ禁止帯幅が小さい第2の高出力用走行層5bを備えた本実施例に係る試料A、Bは、第2の高出力用走行層5bを備えない試料Xに比べて、ゲート\*

\*印加電圧V<sub>gs</sub>が浅い範囲（略-0.5～略0.5V）において、gmが略一定であることが判る。

【0029】表4に試料A、B、XのNF<sub>min</sub>特性を示す。

【0030】

【表4】

	試料A	試料B	試料X
NF <sub>min</sub> [dB]	0.43	0.46	0.44

【0031】この表4から、本実施例に係る試料A、Bも比較例に係る試料XもNF<sub>min</sub>は0.43～0.46 dBの範囲にあって略同等であり、試料A、B、Xは共に超低雑音特性を有する。従って、高出力用走行層5中に電子親和力が大きく且つ禁止帯幅が小さい第2の高出力用走行層5bを備えても、ゲート印加電圧が深い場合に従来と同様に低雑音特性が得られることが判る。

【0032】図2で見たように、ゲート印加電圧V<sub>gs</sub>が浅い範囲（高出力時）において、gm-V<sub>gs</sub>特性が略一定になる理由を図3を用いて説明する。

【0033】図3は試料Aに係るTMT素子の無電界における伝導帯下端を示す要部構造図である。尚、電子親和力は、伝導帯下端から真空準位までのエネルギー差に対応する。

【0034】図3に示すように、第1低雑音用走行層3及び第2低雑音用走行層4の伝導帯下端は、第1高出力用走行層5aの伝導帯下端以下であるので、この高出力

用走行層5aから電子が供給される。第1低雑音用走行層3及び第2低雑音用走行層4の伝導帯下端がバッファ層2及び第1高出力用走行層5aの伝導帯下端以下であるので、この供給された電子は、第1低雑音用走行層3内及び該層3に近接した第2低雑音用走行層4に局在される。従って、この局在された電子は電子供給層となる第1高出力用走行層5aの不純物の影響を受けにくくなるので、従来と同じく第1低雑音用走行層3内及び第2低雑音用走行層4内を走行する電子は高速となる。

【0035】上述のように低雑音時に高速性を保持するに加えて、高出力用走行層5中には、第2低雑音用走行層4に隣接した第1高出力用走行層5a上に、該層5a及び第3高出力用走行層5cより電子親和力が大きく且つ禁止帯幅が小さい第2高出力用走行層5bを有するので、第1低雑音用走行層3内及び第2低雑音用走行層4の特性を損なうことなく、高出力用走行層5の電子の高速化を図れる。このように高速化が図れるのは、第2高

出力用走行層5bが層5a、5cに比べて電子親和力が大きいので、電子が層5a、5cに比べて層5bに集まり、この層5bは禁止帯幅が小さく、電子の速度が早いのである。尚、禁止帯幅が小さい程、電子の有効質量は小さくなるので、禁止帯幅が小さい層中程、電子は高速走行になる。

【0036】従って、ゲート長が短い場合にも、高出力時における電子は従来より高速化が図れているので、ゲート印加電圧 $V_g$ が浅い範囲において、 $g_m-V_g$ 特性が略一定になる。

【0037】また、第1低雑音用走行層3を有しない試料Bに係るTMT素子も試料Aの場合と同様に、第2低雑音用走行層4に第1高出力用走行層5aから電子が供給され、この供給された電子は第2低雑音用走行層4に局在される。従って、第1高出力用走行層5aの不純物の影響を受けにくくなるので、第2低雑音用走行層4内を走行する電子は高速となる。加えて、電子親和力が大きく且つ禁止帯幅が小さい第2高出力用走行層5bを有\*

\*するので、同様にして高出力用走行層5を走行する電子の高速化を図れる。

【0038】このように、高出力用走行層5中には、電子親和力が大きく且つ禁止帯幅が小さい第2高出力用走行層5bを有するので、高出力時の歪みが低減できる。

【0039】本実施例のTMT素子は、上述と同じ電子親和力及び禁止帯幅の関係を満足するなら、各層の材料等を適宜変更でき、例えば表5（試料A構造に対応）及び表6（試料B構造に対応）に示す構成のTMT素子でも勿論同様の効果がある。尚、これら表に示すTMT素子は図1に対応する部分に同一符号を付して説明は割愛する。これらInP基板を用いたTMT素子の場合、u-InAlAs系半導体からなるバッファ層とu-InGaAs系半導体からなるバッファ層の2層構造にするのが好ましく、後者のバッファ層が上記実施例の第1の半導体層に対応する。

【0040】

【表5】

名 称		材 料	層厚・キャリア濃度
半絶縁性半導体基板1		InP	———
バッファ層2	基板1側	$u-In_{0.52}Al_{0.48}As$	層厚：2000Å
	層3側	$u-In_{0.53}Ga_{0.47}As$	層厚：500Å
第1低雑音用走行層3		$u-In_{0.73}Ga_{0.27}As$	層厚：50Å
第2低雑音用走行層4		$u-In_yGa_{1-y}As$ $y=0.73 \rightarrow y=0.53$ [上層]	層厚：50Å
第1高出力用走行層5a		$n-In_{0.53}Ga_{0.47}As$	層厚：100Å
第2高出力用走行層5b		$n-In_tGa_{1-t}As$ ： 但し、 $t>0.53$	層厚：100Å
第3高出力用走行層5c		$n-In_{0.53}Ga_{0.47}As$	層厚：100Å
障壁層6		$u-In_{0.52}Al_{0.48}As$	層厚：200Å
キャップ層7a、7b		$n-In_{0.53}Ga_{0.47}As$	$n=3 \times 10^{18} cm^{-3}$ 層厚：500Å

尚、第1～第3高出力用走行層5a～5cのキャリア濃度：

$$n = 2.5 \times 10^{18} cm^{-3}$$

【0041】

【表6】

名 称		材 料	層厚・キャリア濃度
半絶縁性半導体基板1		InP	———
バッファ層2	基板1 側	$u - \text{In}_{0.52}\text{Al}_{0.48}\text{As}$	層厚: 2000 Å
	層4 側	$u - \text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	層厚: 500 Å
第1低雑音用走行層3		———	———
第2低雑音用走行層4		$u - \text{In}_y\text{Ga}_{1-y}\text{As}$ $y=0.73 \rightarrow y=0.53$ [上層]	層厚: 100 Å
第1高出力用走行層5a		$n - \text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	層厚: 100 Å
第2高出力用走行層5b		$n - \text{In}_t\text{Ga}_{1-t}\text{As}$ : 但し、 $t > 0.53$	層厚: 100 Å
第3高出力用走行層5c		$n - \text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	層厚: 100 Å
障壁層6		$u - \text{In}_{0.52}\text{Al}_{0.48}\text{As}$	層厚: 200 Å
キャップ層7a、7b		$n - \text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$n = 3 \times 10^{18} \text{ cm}^{-3}$ 層厚: 500 Å

尚、第1～第3高出力用走行層5a～5cのキャリア濃度:

$$n = 2.5 \times 10^{18} \text{ cm}^{-3}$$

【0042】尚、上述のTMT素子では、第3高出力用走行層5cはなくてもよく、本発明の第4の半導体層 (別の本発明では第3の半導体層) が該層より電子親和力が大きく且つ禁止帯幅が小さい半導体層を有するとは、例えば斯る場合も含む。更に、本発明の上記電子親和力が大きく且つ禁止帯幅が小さい半導体層の層厚は40～100 Å程度でよい。

【0043】ところで、図5に示すような従来のTMT素子では、ゲート電極108を設けるため、エッチング工程によりキャップ層107a、107b間に例えばn型AlGaAs層106を露出させる必要がある。このエッチング工程は露出したn型AlGaAs層106にダメージを与えたりするので、TMT素子を安価で高歩留まりに作製することが困難であった。斯る問題は、上記発明のTMT素子においても存在する。

【0044】TMT素子を安価に高歩留まりで作製するには、ソース電極及びゲート電極がオーミック接触するためのキャップ層に代えて、イオン注入工程及びアニール工程により高導電領域を設ける構成にすればよい。

【0045】しかし、この構造では、アニール工程において高出力用走行層中の不純物がグレーディッド低雑音用走行層に拡散すると考えられ、ドレイン電流の閾値

(スレッシュホールド) 近傍でドレイン電流のピンチオフ特性が劣化する。この結果、低雑音素子として使用する場合、相互コンダクタンス (gm) が大きく低下し、雑音特性が悪化するといった問題があった。

【0046】従って、以下の第2の発明に係る課題は、ドレイン電流の閾値近傍でのドレイン電流のピンチオフ特性が良好な高導電領域を備えたTMT素子を提供することである。

【0047】第2の発明に係る第2実施例のプレーナ型TMT素子の図面を参照しつつ詳細に説明する。図4は本実施例のTMT素子の要部概略断面図である。

【0048】図4中、51はGaAs半絶縁性半導体基板、52は該基板51上に形成されたアンドープのGaAsバッファ層 (第1の半導体層)、53は該バッファ層52上に形成された該層52より電子親和力の大きいアンドープの $\text{In}_x\text{Ga}_{1-x}\text{As}$  ( $x > 0$ ) 第1低雑音用走行層 (第2の半導体層)、54は禁止帯幅が基板51側から上方側に向かってグレーディッドに増大し且つ第1低雑音用走行層53との界面での電子親和力が該層53の電子親和力以下で下記不純物拡散防止層55との界面での電子親和力が該層55の電子親和力以上である、第1低雑音用走行層53上に形成されたIn組成比が基



板51側から上方側に向かってグレーディッドに減少するアンドープの $\text{In}_y\text{Ga}_{1-y}\text{As}$  ( $y$ は $x \geq y \geq 0$ の範囲で変化) 第2低雑音用走行層(第3の半導体層: グレーディッド層)、55は第2低雑音用走行層54上に形成されたアンドープのGaAs不純物拡散防止層(第4の半導体層)、56は不純物拡散防止層55上に形成された該層55と電子親和力がほぼ等しい高キャリア濃度のn型GaAs高出力用走行層(第5の半導体層)、57は高出力用走行層56上に形成された該層56との界面での電子親和力が該層56の電子親和力以下であるアンドープの $\text{Al}_z\text{Ga}_{1-z}\text{As}$  ( $z > 0$ ) 障壁層(第6の半導体層)、58は障壁層57上に形成された該層57との界面での電子親和力が該層57の電子親和力以上であるアンドープのGaAs保護層、59a、59bは保護層58から第1低雑音用走行層53に達する互いに離間形成されたn型高導電領域、60は高導電領域59a、59b間の保護層58とショットキ接触してなるAl/Ti構造からなるショットキ電極、61は高導電領域59a上にオーミック接触してなるAu/Ni/Au-Ge構造からなるソース電極、62は高導電領域59b上にオーミック接触してなるAu/Ni/Au-Ge構造からなるドレイン電極である。

【0049】 斯る素子は、例えば以下のように製造される。

【0050】 まず、最初に半絶縁性半導体基板51上 \*

\*に、バッファ層52、第1低雑音用走行層53、第2低雑音用走行層54、不純物拡散防止層55、高出力用走行層56、障壁層57、及び保護層58をこの順序で分子線エピタキシャル法(MBE法)により連続成長する。尚、本実施例のn型層のドーパントは、Siである。

【0051】 続いて、前記保護層58上に $\text{Si}_3\text{N}_4$ 又は $\text{SiO}_2$ 等からなる所望形状のマスクを形成する。その後、このマスクを介した状態でSi等の不純物をイオン注入法により注入した後、該注入部を高キャリア濃度とするために800~950℃で所定時間、望ましくは850℃で5秒間熱処理して、n型高導電領域59a、59bを形成する。

【0052】 表7に示す本実施例(図4)のTMT素子(試料C)と、表8に示す試料Cとは第1低雑音用走行層53がない以外は同構造の本実施例の他のTMT素子(試料D)と、表9に示す不純物拡散防止層を備えてない以外は試料C構造と同じ比較例としてのTMT素子(試料Y)について、ドレイン電流の閾値近傍におけるドレイン電流のピンチオフ特性の良否の指標となるドレイン電流 $I_{ds} = 10\text{mA}$ における相互コンダクタンス(gm)を調べた。

【0053】

【表7】

名 称	材 料	層厚・キャリア濃度
半絶縁性半導体基板51	GaAs	—————
バッファ層52	u-GaAs	層厚: 8000 Å
第1低雑音用走行層53	u- $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$	層厚: 50 Å
第2低雑音用走行層54	u- $\text{In}_y\text{Ga}_{1-y}\text{As}$ $y=0.2 \rightarrow y=0$ [上層]	層厚: 50 Å
拡散防止層55	u-GaAs	層厚: 50 Å
高出力用走行層56	n-GaAs	$n = 3 \times 10^{18} \text{ cm}^{-3}$ 層厚: 200 Å
障壁層57	u- $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$	層厚: 150 Å
保護層58	u-GaAs	層厚: 50 Å

【0054】

【表8】

名 称	材 料	層厚・キャリア濃度
半絶縁性半導体基板51	GaAs	—————
バッファ層52	u-GaAs	層厚：8000Å
第1低雑音用走行層53	—————	—————
第2低雑音用走行層54	u-In <sub>y</sub> Ga <sub>1-y</sub> As y=0.2→y=0 [上方]	層厚：100Å
拡散防止層55	u-GaAs	層厚：50Å
高出力用走行層56	n-GaAs	n=3×10 <sup>18</sup> cm <sup>-3</sup> 層厚：200Å
障壁層57	u-Al <sub>0.22</sub> Ga <sub>0.78</sub> As	層厚：150Å
保護層58	u-GaAs	層厚：50Å

【0055】

\* \* 【表9】

名 称	材 料	層厚・キャリア濃度
半絶縁性半導体基板51	GaAs	—————
バッファ層52	u-GaAs	層厚：8000Å
第1低雑音用走行層53	u-In <sub>0.2</sub> Ga <sub>0.8</sub> As	層厚：50Å
第2低雑音用走行層54	u-In <sub>y</sub> Ga <sub>1-y</sub> As y=0.2→y=0 [上方]	層厚：50Å
拡散防止層55	—————	—————
高出力用走行層56	n-GaAs	n=3×10 <sup>18</sup> cm <sup>-3</sup> 層厚：250Å
障壁層57	u-Al <sub>0.22</sub> Ga <sub>0.78</sub> As	層厚：150Å
保護層58	u-GaAs	層厚：50Å

【0056】但し、試料C、D、Yのゲート長、ゲート幅は、それぞれ0.25μm、200μmであり、低雑音用走行層又は高出力用走行層の層厚は異なる。

【0057】表10にgmと、参考のために最大相互コンダクタンス(gm<sub>max</sub>)を示す。

【0058】

【表10】

	試料C	試料D	試料Y
gm <sub>max</sub>	550	535	547
gm	365	325	255

【0059】但し、単位は、mS/mmである。

【0060】この表10から判るように、不純物拡散防止層の有無以外は同構造の本実施例の試料Cと比較例の試料Yは、gm<sub>max</sub>についてはほぼ同等であるが、gmについては本実施例の試料Cが365mS/mmと、比

較例の試料Yの255mS/mmに比べて大きく改善されている。また、本実施例の試料Dと比較例の試料Yを比べても、同様に $gm_{ss}$ についてはほぼ同等であるが、 $gm$ については本実施例の試料Dが325mS/mmと、比較例の試料Xの255mS/mmに比べて大きく改善されている。

【0061】このように、アンドープで高出力走行層と略等しい電子親和力を有する半導体層、即ち拡散防止層を備えた本実施例構造は、拡散防止層を有しない比較例構造に比べて、 $gm$ が顕著に大きくなり、ピンチオフ特性が改善される。

【0062】これは拡散防止層を備えることにより、高導電領域59a、59bを形成するための熱処理工程において、高キャリア濃度の高出力用走行層中のドーパントがアンドープの第1、第2低雑音用走行層に拡散するのが防止されるためであると考えられる。尚、拡散防止\*

\*層は層厚が、高出力用走行層からキャリアが注入可能な値に設定されている。

【0063】次に、第3実施例について説明する。尚、第2実施例と異なる点は材料及び膜厚等の条件であって、電子親和力、禁止帯幅等の関係は同じであるので、図4と同じ部分は同一符号を付してその説明は割愛する。

【0064】表11に示す本実施例のTMT素子（試料E）と、表12に示す拡散防止層を除いた以外は同じ構成である比較例のTMT素子（試料Z）について、ドレイン電流の閾値近傍におけるドレイン電流のピンチオフ特性の良否の指標となるドレイン電流 $I_{ds}=20mA$ における相互コンダクタンス（ $gm$ ）を調べた。

【0065】

【表11】

名 称		材 料	層厚・キャリア濃度
半絶縁性半導体基板51		InP	———
バッファ層52	基板51側	$u-In_{0.52}Al_{0.48}As$	層厚：2000Å
	層53側	$u-In_{0.53}Ga_{0.47}As$	層厚：500Å
第1低雑音用走行層53		$u-In_{0.73}Ga_{0.27}As$	層厚：50Å
第2低雑音用走行層54		$u-In_yGa_{1-y}As$ $y=0.73 \rightarrow y=0.53$ [比値]	層厚：50Å
拡散防止層55		$u-In_{0.53}Ga_{0.47}As$	層厚：50Å
高出力用走行層56		$n-In_{0.53}Ga_{0.47}As$	$n=3 \times 10^{18} cm^{-3}$ 層厚：200Å
障壁層57		$u-In_{0.52}Al_{0.48}As$	層厚：150Å
保護層58		$u-In_{0.53}Ga_{0.47}As$	層厚：50Å

【0066】

【表12】

21

22

名 称		材 料	層厚・キャリア濃度
半絶縁性半導体基板51		InP	—————
バッファ層52	基板51側	$u - \text{In}_{0.52}\text{Al}_{0.48}\text{As}$	層厚：2000 Å
	層53側	$u - \text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	層厚：500 Å
第1低雑音用走行層53		$u - \text{In}_{0.73}\text{Ga}_{0.27}\text{As}$	層厚：50 Å
第2低雑音用走行層54		$u - \text{In}_y\text{Ga}_{1-y}\text{As}$ $y=0.73 \rightarrow y=0.53$ [上方]	層厚：50 Å
拡散防止層55		—————	—————
高出力用走行層56		$n - \text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$n = 3 \times 10^{18} \text{ cm}^{-3}$ 層厚：250 Å
障壁層57		$u - \text{In}_{0.52}\text{Al}_{0.48}\text{As}$	層厚：150 Å
保護層58		$u - \text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	層厚：50 Å

【0067】但し、試料E、Zのゲート長、ゲート幅は、それぞれ0.25 μm、200 μmであり、高出力用走行層の厚みは異なる。

【0068】表13にgmと、参考のために最大相互コンダクタンス (gm<sub>max</sub>) を示す。

【0069】

【表13】

	試料E	試料Z
gm <sub>max</sub>	1050	1045
gm	775	600

【0070】但し、単位は、mS/mmである。

【0071】この表13から、不純物拡散防止層の有無以外は同構造の本実施例の試料Eと比較例の試料Zは、gm<sub>max</sub>についてはほぼ同等であるが、gmについては本実施例の試料Eが775 mS/mmと、比較例の試料Zの600 mS/mmに比べて大きく改善されている。

【0072】このように、第2実施例と材料等が異なっても、拡散防止層を備えた構造は、拡散防止層を有しない比較例構造に比べて、拡散防止層の存在によりgmが顕著に大きくなり、ピンチオフ特性が改善される。

【0073】上記試料C、Eに係る素子は、半絶縁性半導体基板と、前記基板上に形成されたアンドープの半導体バッファ層 (第1の半導体層) と、前記バッファ層上

に形成されたアンドープの第1低雑音用走行層 (第2の半導体層) と、第1低雑音用走行層上に形成されたアンドープの第2低雑音用走行層 (第3の半導体層) と、第2低雑音用走行層上に形成されたアンドープの拡散防止層 (第4の半導体層) と、拡散防止層上に形成された一導電型の高出力用走行層 (第5の半導体層) と、高出力用走行層上に形成された前記一導電型と同じ導電型もしくはアンドープの障壁層 (第6の半導体層) と、障壁層上に形成されたアンドープの保護層 (第7の半導体層) と、を備え、第2の半導体層は、その電子親和力が第1の半導体層より大きく、第3の半導体層は、その禁止帯幅が第2の半導体層から第4の半導体層方向にグレイデイドに増大し、且つ第2の半導体層との界面での電子親和力が第2の半導体層の電子親和力以下、第4の半導体層との界面での電子親和力が第4の半導体層の電子親和力以上であり、第5の半導体層は、第4の半導体層とほぼ同じ電子親和力を有し、第6の半導体層は第5の半導体層との界面での電子親和力が第5の半導体層の電子親和力以下であり、第7の半導体層は第6の半導体層との界面での電子親和力が第6の半導体層の電子親和力以上であり、少なくとも第7の半導体層から第5の半導体層に達する、望ましくは第2の半導体層に達する互いに離間したソース電極用高導電領域及びドレイン電極用高導電領域を有し、ソース電極及びドレイン電極がそれぞれソース電極用高導電領域及びドレイン電極用高導電領域上に形成され、ゲート電極が両高導電領域間の第7の半導体層上に形成されている。

【0074】上記試料Dに係る素子は、上述した試料Bに係る素子と同じく第2の半導体層 (第1低雑音用走行

層)を省いた構造である。この場合、第3の半導体層(低雑音用走行層)は、その禁止帯幅が第1の半導体層から第4の半導体層方向にグレーディッドに増大し、且つ第1の半導体層との界面での電子親和力が第1の半導体層の電子親和力より大きく、第4の半導体層との界面での電子親和力が第4の半導体層の電子親和力以上である。なお、第4の半導体層上の構成は上述と同じである。

【0075】これらの素子では、アンドープの第3の半導体層(低雑音用走行層)と一導電型の第5の半導体層(キャリア供給層を兼ねる高出力用走行層)との間に、第5の半導体層と略等しい電子親和力を有するアンドープの第4の半導体層(不純物拡散防止層)が設けられている。この結果、斯る層が第5の半導体層からの不純物を第2の半導体層又は第3の半導体層へ拡散するのを防止するので、上述したようにピンチオフ特性が改善される。

【0076】また、上述の高導電領域を有するTMT素子では、障壁層がAlを含む半導体層である場合、その表面が酸化して各電極が良好に接触しない虞れがあるので、保護層を用いた方がよいが、他の酸化しない半導体材料を選択する場合等はこの層を省いて障壁層上に各電極を形成してもよい。例えば、表11に示すTMT素子において、ショットキ電極が形成される部分にはInGaAs系保護層が存在しない構成にしてもよく、この場合、ショットキ電極は障壁層57とショットキ接触するが、InGaAs系はAlGaAs系、InAlAs系、GaAs系等に比べてショットキ障壁の高さが著しく低いので、表11に示すTMT素子のゲート耐圧 $V_r$ ( $I_r=100\mu A$ )が2Vであるのに対して、4Vと非常に大きくできるといった効果もある。

【0077】また、高導電領域が第1の半導体層深くまで達する場合、ソース電極とドレイン電極間が短絡する虞れがあるので好ましくない。

【0078】このように、この発明は低雑音用走行層と高出力用走行層とを備えた電界効果型半導体素子において、低雑音用走行層と高出力用走行層の間に不純物拡散防止層を設けたことを特徴とする。尚、この発明の不純物拡散防止層は50~150Å程度であればよい。

【0079】更に、高出力用走行層(第5の半導体層)は、該層より電子親和力が大きく且つ禁止帯幅が小さい該層と同じ導電型又はアンドープの半導体層を有してもよい。この場合、第1実施例と同じく高出力時の歪みを低減できる。

【0080】尚、上記各半導体層の各層は、電子親和力や禁止帯幅の条件を満足する複数の層からなるものも含み、該複数の層は上記条件内で互いに電子親和力や禁止帯幅が異なるものも含む。従って、本発明の半導体層も勿論この上記複数の層からなるものも含む。

【0081】また、上記障壁層は上述のように高出力用

走行層と同じ導電型であるか、又はアンドープでもよい。

【0082】また、本発明のグレーディッド層は、上述のような変化に限らず、階段状や曲線状等で変化するのも意味する。

【0083】

【発明の効果】本発明の構成によれば、高出力用走行層より電子親和力が大きく且つ該層より禁止帯幅が小さい該層と同じ導電型又はアンドープの半導体層は、高出力用走行層に比べて電子親和力が大きいので、電子は高出力用走行層に比べてこの半導体層に集まると共に、この半導体層は高出力用走行層に比べて禁止帯幅が小さいので、電子が高速に走行できる。従って、高出力時に、電子は高出力用走行層に比べて高速走行できる半導体層を多く走行する。この結果、高出力時に電子は高速に走行するので、ゲート長が短い場合でも平坦な $gm-V_{gs}$ 特性が得られる。即ち、高出力時に電子は高速に走行するので、高出力時の出力信号の歪みが低減でき、デジタル携帯電話に用いた場合、送信時のノイズを抑制できる。

【0084】また、本発明の構成によれば、第4の半導体層と第4の半導体層中に有する一導電型と同導電型又はアンドープの半導体層は、高出力特性をもって動作する際、即ちゲート電圧 $V_{gs}$ が浅い場合、主に走行層(高出力用走行層)となる。特に、第4の半導体層中に有する半導体層は、第4の半導体層より電子親和力が大きく且つ第4の半導体層より禁止帯幅が小さいので、電子は第4の半導体層に比べて高速に走行可能な該層中の半導体層を多く走行する。この結果、高出力時に電子は高速に走行するので、ゲート長が短い場合でも平坦な $gm-V_{gs}$ 特性が得られる。即ち、高出力時に電子は高速に走行するので、高出力時の出力信号の歪みが低減でき、デジタル携帯電話に用いた場合、送信時のノイズを抑制できる。

【0085】また、別の本発明の構成によれば、第3の半導体層と第3の半導体層中に有する一導電型と同導電型又はアンドープの半導体層は、高出力特性をもって動作する際に主に走行層(高出力用走行層)となる。特に、第3の半導体層中に有する半導体層は第3の半導体層より電子親和力が大きく且つ第3の半導体層より禁止帯幅が小さいので、電子は第3の半導体層に比べて高速に走行可能な該層中の半導体層を多く走行する。この結果、高出力時に電子は高速に走行するので、ゲート長が短い場合でも平坦な $gm-V_{gs}$ 特性が得られる。即ち、高出力時に電子は高速に走行するので、高出力時の出力信号の歪みが低減でき、デジタル携帯電話に用いた場合、送信時のノイズを抑制できる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るTMT素子の概略断面図である。

【図2】相互コンダクタンス-ゲート印加電圧の関係を

25

示す図である。

【図3】試料Aの要部伝導帯下端の概略図である。

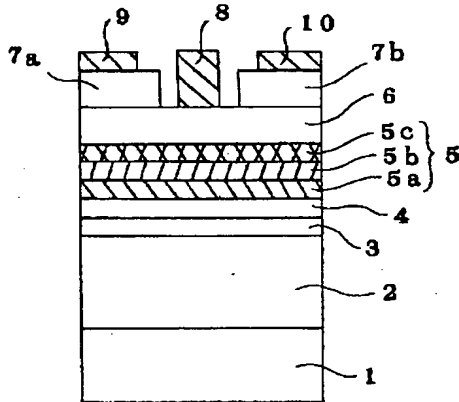
【図4】第2発明の第2実施例に係るTMT素子の概略断面図である。

【図5】従来例のTMT素子の概略断面図である。

【符号の説明】

2 パッファ層（第1の半導体層）

【図1】



26

3 第1低雑音用走行層（第2の半導体層）

4 第2低雑音用走行層（第3の半導体層）

5 高出力用走行層（第4の半導体層）

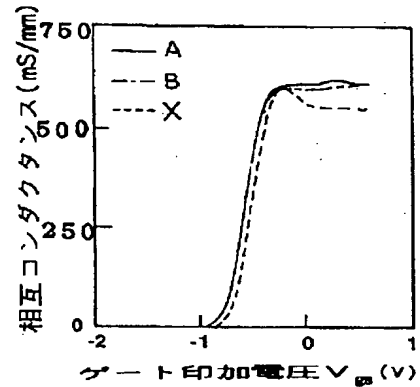
5a 第1高出力用走行層

5b 第2高出力用走行層

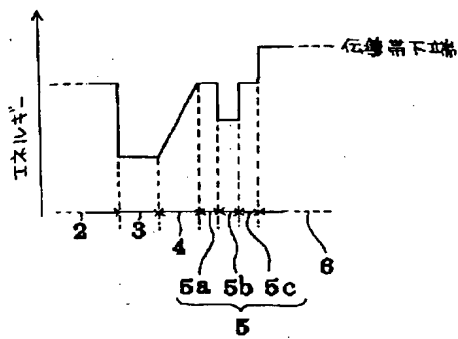
5c 第3高出力用走行層

6 障壁層（第5の半導体層）

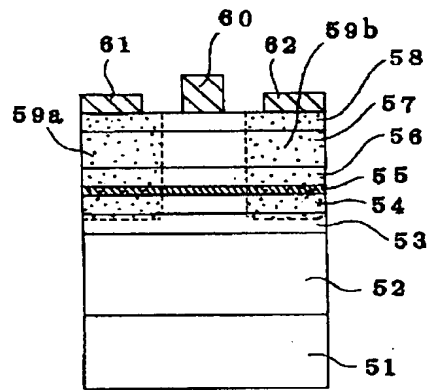
【図2】



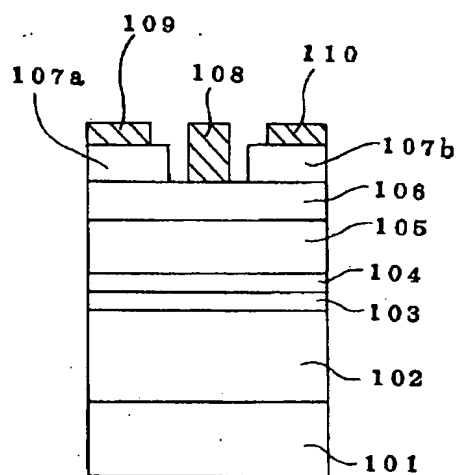
【図3】



【図4】



【図5】




---

フロントページの続き

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/778		9171-4M	H 0 1 L 29/80	H
(72)発明者 藤井 栄美			(72)発明者 原田 八十雄	
大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内			大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内	

THIS PAGE BLANK (USPTO)



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)